

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-134578

(43)Date of publication of application : 22.05.1998

(51)Int.Cl.

G11C 11/41

(21)Application number : 08-286889

(71)Applicant : FUJITSU LTD
FUJITSU VLSI LTD

(22)Date of filing : 29.10.1996

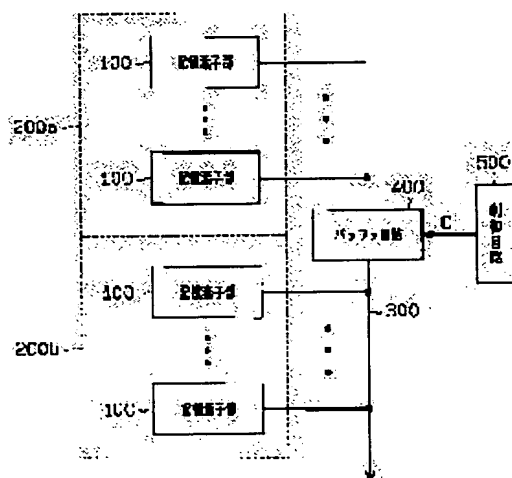
(72)Inventor : FUJITA MASAOKI

(54) SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory device capable of avoiding the increase of a chip area, and reduce an access time even though the capacity is increased.

SOLUTION: A plurality of memory element parts 100 are sectioned into a plurality of blocks 200a and 200b. The respective memory element parts 100 in the respective blocks 200a and 200b are connected to a common bit line 300 through which the data of the respective memory element parts 100 are read. A buffer circuit 400 is inserted into the common bit line Rb300 between the blocks 200a and 200b. A control circuit 5 outputs a control signal C in order to close the buffer circuit 400 when the block 200a on the input terminal side of the buffer circuit 400 is selected in accordance with an address signal and to open the buffer circuit 400 when the block 200b on the output side of the buffer circuit 400 is selected in accordance with an address signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-134578

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.⁸

識別記号

F I

G 1 1 C 11/41

G 1 1 C 11/34

3 0 1 E

審査請求 未請求 請求項の数 4 O L (全 19 頁)

(21) 出願番号 特願平8-286889

(22) 出願日 平成 8 年 (1996) 10 月 29 日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町 2 丁目 1844 番 2

(72) 発明者 藤田 雅明

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 弁理士 恩田 博宣

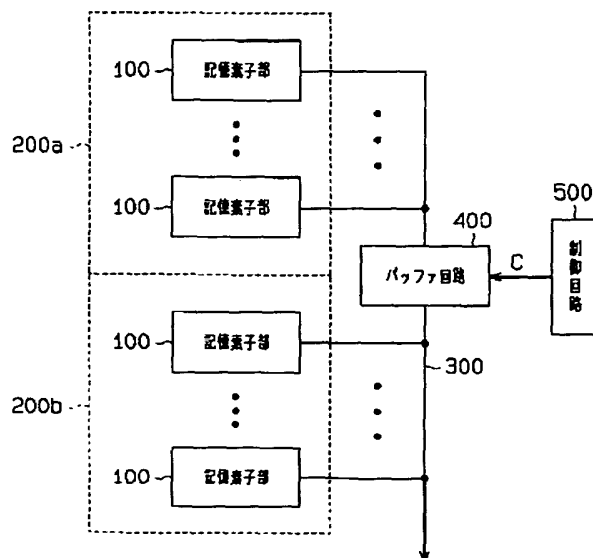
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】大容量化してもチップ面積を大きくすることなく、しかも、アクセス時間の短縮化が図れる半導体記憶装置を提供する。

【解決手段】複数の記憶素子部 100 は複数個のブロック 200 a, 200 b に区分されている。その各ブロック 200 a, 200 b の各記憶素子部 100 は共通の共用ビット線 300 が接続され、そのビット線 300 から各記憶素子部 100 のデータが読み出される。ブロック 200 a, 200 b 間を結ぶ共用ビット線 R b 300 上にはバッファ回路 400 が接続されている。制御回路 500 はバッファ回路 400 の入力端子側のブロック 200 a がアドレス信号に基づいて選択されたとき、該バッファ回路 400 を導通状態にし、バッファ回路 400 の出力端子側のブロック 200 b がアドレス信号に基づいて選択されたとき、該バッファ回路 400 を遮断状態にするための制御信号 C を該バッファ回路 400 に出力する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 複数の記憶素子部が複数個のブロックに区分され、その各ブロックの記憶素子部を共通の共用ビット線で接続し、その共用ビット線から各記憶素子部のデータを読み出すようにした半導体記憶装置において、前記共用ビット線であってブロック間を結ぶ共用ビット線上に少なくとも1つ設けたバッファ回路と、

前記バッファ回路の入力端子側のブロックがアドレス信号に基づいて選択されたとき、該バッファ回路を導通状態にし、前記バッファ回路の出力端子側のブロックがアドレス信号に基づいて選択されたとき、該バッファ回路を遮断状態にする制御信号を該バッファ回路に出力する制御回路とを備えた半導体記憶装置。

【請求項2】 複数の記憶素子部が複数個のブロックに区分され、その区分された各ブロック内の複数の記憶素子部がさらに複数個の小ブロックに区分され、その各ブロック毎にそのブロックを構成する全小ブロックの記憶素子部を共通の共用ビット線で接続し、その共用ビット線から各記憶素子部のデータを読み出すようにした半導体記憶装置において、

前記共用ビット線であって小ブロック間を結ぶ共用ビット線上に少なくとも1つ設けたバッファ回路と、
前記バッファ回路の入力端子側の小ブロックがアドレス信号に基づいて選択されたとき、該バッファ回路を導通状態にし、前記バッファ回路の出力端子側の小ブロックがアドレス信号に基づいて選択されたとき、該バッファ回路を遮断状態にする制御信号を該バッファ回路に出力する制御回路とを備えた半導体記憶装置。

【請求項3】 請求項1又は2に記載の半導体記憶装置において、前記共用ビット線は、書き込み及び読み出し用の一対の相補ビット線であって、その一対の相補ビット線間に前記記憶素子部を並列に接続したものである半導体記憶装置。

【請求項4】 請求項1又は2に記載の半導体記憶装置において、前記制御回路は、前記アドレス信号に基づいて前記バッファ回路を導通又は遮断のための制御信号を生成するコントロール信号生成回路である半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関する。近年、例えば読み出し及び書き替え可能な半導体記憶装置は、大容量化がますます進み、これに伴ってビット線の配線長が長くなり、ビット線に出力する各記憶素子部の負荷が非常に大きくなってきている。また、一方で各記憶素子部毎に設けられたバッファ回路の駆動能力を大きくして、読み出し時のアクセス時間の短縮化を図っている。そこで、このような半導体記憶装置では、大容量化した場合でも、記憶素子部の駆動能力を上げることに伴ってICチップのチップ面積の増大を抑

え、さらに前記アクセス時間の短縮化が図れる半導体記憶装置が要求されている。

【0002】

【従来の技術】図11は、従来の読み出し及び書き替え可能な半導体記憶装置（以下、単にRAMという）1の一例を説明するための電気回路を示す。RAM1は64ワードのレジスタファイル型のRAMであって、入力バッファ回路2、4個の記憶ブロック（以下、第1～第4ブロックという）3a～3d、アドレス入力回路4及びブロック選択回路5等から構成されている。

【0003】入力バッファ回路2は、インバータよりなる第1バッファ2aと、インバータよりなる4個の第2バッファ2bとから構成されている。第1バッファ2aは書込データDAを入力しその出力信号を4個の各第2バッファ2bに出力する。そして、各第2バッファ2bはその出力信号をそれぞれビット線Wba～Wbdを介して対応する第1～第4ブロック3a～3dに出力する。つまり、入力バッファ回路2は第1及び第2バッファ2a、2bにより駆動能力を上げて前記書込データDAを第1～第4ブロック3a～3dに出力している。

【0004】第1～第4ブロック3a～3dは、共に同一の回路構成である。従って、説明の便宜上、第1ブロック3aについて説明する。第1ブロック3aは、16個の記憶素子部M1～M16から構成されている。従って、各ブロック3a～3dの記憶素子部M1～M16を合計すると64（＝16×4）個の記憶素子部となる。各記憶素子部M1～M16は、2個のインバータよりなるラッチ回路RA、書込用転送ゲートG1、読み出し用転送ゲートG2、セル用転送ゲートG3及びインバータよりなるバッファBから構成されている。そして、書込用転送ゲートG1が開いて（この時、読み出し用転送ゲートG2は閉じている）ビット線Wbaを介して書込データDAが入力されると、ラッチ回路RAはそのデータDAの内容を保持する。又、該ラッチ回路RAが保持したデータDAを出力する場合には、読み出し用転送ゲートG2が開き（この時、書込用転送ゲートG1は閉じている）該保持したデータDAが読み出し信号X1としてビット線Rbaを介してブロック選択回路5に出力される。

【0005】従って、他の第2～第4ブロック3b～3dの各記憶素子部M1～M16も同様に書込データDAが保持され、又、それぞれの保持されたデータDAが読み出し信号X2～X4としてそれぞれビット線Rbb～Rbdを介してブロック選択出力回路5に出力される。

【0006】そして、入力バッファ回路2から出力される1つの書込データDAは、各ブロック3a～3dの64個の記憶素子部M1～M16の中の1つの記憶素子部が選択され書き込まれる。この選択は6ビットのアドレス信号AD0～AD5によって64個の記憶素子部M1～M16のうち1つが選択されその選択された記憶素子

部の書込用転送ゲートG1が選択され開くようになっている。

【0007】反対に、各ブロック3a～3dにおいてそのブロック内の16個の記憶素子部M1～M16の中から1つのデータDAを読み出す場合にも同様に該読み出したデータDAを記憶した記憶素子部を選択する。つまり、その選択する記憶素子部の読み出し用転送ゲートG2が開いてラッチ回路RAに保持されているデータDAを出力するようになっている。この選択は6ビットのアドレス信号AD0～AD5の下位4ビットのアドレス信号AD0～AD3によって各ブロック3a～3dの16個の記憶素子部M1～M16の1つが選択されその選択された記憶素子部の読み出し用転送ゲートG2が開くようになっている。従って、各ブロック3a～3dから同時にブロック選択回路5にそれぞれ読み出し信号X1～X4が出力される。そして、ブロック選択回路5は、各ブロック3a～3dからの読み出し信号X1～X4から1つを選択して出力信号Doutとして出力する。

【0008】この選択は6ビットのアドレス信号AD0～AD5の上位2ビットのアドレス信号AD4、AD5によって行われる。即ち、アドレス入力回路4はアドレス信号AD4、AD5に基づいて第1～第4の選択信号CNT1～CNT4を生成する。ブロック選択回路5は、そのアドレス入力回路4からの第1～第4の選択信号CNT1～CNT4に基づいて読み出し信号X1～X4から1つを選択して出力信号Doutとして出力する。

【0009】図12はそのアドレス入力回路4の電気回路を示す。アドレス入力回路4は6個のインバータ回路I1～I6、4個のナンド回路N1～N4から構成されている。ナンド回路N1は2入力端子のナンド回路であって、インバータ回路I1を介してアドレス信号AD5を入力するとともに、インバータ回路I2を介してアドレス信号AD4を入力する。そして、ナンド回路N1はインバータ回路I3を介して第1の選択信号CNT1をブロック選択回路5に出力する。ナンド回路N2は2入力端子のナンド回路であって、インバータ回路I1を介してアドレス信号AD5を入力するとともに、アドレス信号AD4を入力する。そして、ナンド回路N2はインバータ回路I4を介して第2の選択信号CNT2をブロック選択回路5に出力する。

【0010】ナンド回路N3は2入力端子のナンド回路であって、アドレス信号AD5を入力するとともに、インバータ回路I2を介してアドレス信号AD4を入力する。そして、ナンド回路N3はインバータ回路I5を介して第3の選択信号CNT3をブロック選択回路5に出力する。ナンド回路N4は2入力端子のナンド回路であって、アドレス信号AD5及びアドレス信号AD4を入力する。そして、ナンド回路N4はインバータ回路I6を介して第4の選択信号CNT4をブロック選択回路5

に出力する。

【0011】即ち、このアドレス入力回路4は公知のデコーダ回路であって、4通りの値を出力する上位2ビットのアドレス信号AD4、AD5に対して4個の選択信号CNT1～CNT4の内1つが論理値「1」の信号で、他の3つが論理値「0」の信号を出力する。従って、アドレス信号AD4、AD5の値によって、対応する選択信号CNT1～CNT4の内1つが「1」となり、他の3つが「0」の選択信号となってブロック選択回路5に出力される。

【0012】図13はブロック選択回路5の電気回路を示す。ブロック選択回路5は、4個のアンド回路A1～A4、ノア回路8及びインバータ回路9とから構成されている。アンド回路A1は2入力端子のアンド回路であって、第1の選択信号CNT1と前記読み出し信号X1を入力し、出力信号をノア回路8に出力する。アンド回路A2は2入力端子のアンド回路であって、第2の選択信号CNT1と前記読み出し信号X2を入力し、出力信号をノア回路8に出力する。アンド回路A3は2入力端子のアンド回路であって、第3の選択信号CNT3と前記読み出し信号X3を入力し、出力信号をノア回路8に出力する。アンド回路A4は2入力端子のアンド回路であって、第4の選択信号CNT4と前記読み出し信号X4を入力し、出力信号をノア回路8に出力する。ノア回路8は、その出力信号を次段のインバータ回路9を介して出力信号Doutとして出力する。

【0013】即ち、このブロック選択回路5は公知のエンコーダ回路であって、論理値が「1」の選択信号と対となる読み出し信号が選択され出力信号Doutとして出力される。例えば、アドレス信号AD4、AD5が共に「1」の場合には、第4の選択信号CNT4のみが「1」となり、ブロック選択回路5は第4ブロック3dからの読み出し信号X4を出力信号Doutとして選択し出力する。

【0014】そして、このように構成された64ワードのレジスタファイル型のRAM1は、64個の記憶素子部を第1～第4ブロック3a～3dに16個づつに振り分け、各ブロック3a～3dからビット線Rba～Rbdを介してデータDAを読み出すようにした。つまり、分割したことにより各ビット線Rba～Rbdの配線長を短くすることができる。その結果、各記憶素子部M1～M16のパッファBの負荷は小さくなり、該パッファBの駆動能力を大きくしなくてもアクセス時間を速くすることができる。

【0015】

【発明が解決しようとする課題】ところで、この64ワードのレジスタファイル型のRAMは、さらに大容量化が求められている。この要求に応える場合には、1ブロック内の記憶素子部の数を増やすか、16個の記憶素子部を持つブロックの数を増やすことになる。

【0016】しかしながら、1ブロック内の記憶素子部の数を増やした場合、1本の読み出しビット線Rba～Rbdの配線長が長くなり、バッファBに対する負荷が大きくなるため、読み出し動作時のアクセス時間が増大してしまうという問題がある。そのため、バッファBの駆動能力を大きくして読み出し動作時のアクセス時間を速くする必要がある。しかし、全ての記憶素子部についてバッファBの駆動能力を大きくすると、全バッファBが占めるICチップ上の占有面積が非常に大きくなってしまいう問題がある。

【0017】また、ブロックの数を増やした場合、アドレス入力回路4及びブロック選択回路5の構成が大規模化し、又、各ブロックとブロック選択回路5間の読み出しビット線Rba～Rbdの数が多くなるため、全体の回路規模が非常に大きくなってしまいう問題がある。

【0018】本発明は上記問題点を解消するためになされたのであって、その目的は大容量化してもICチップの面積を大きくすることなく、読み出し動作時の高速アクセスが可能な半導体記憶装置を提供することにある。

【0019】

【課題を解決するための手段】図1は請求項1に記載した発明の原理説明図である。請求項1に記載の発明において、半導体記憶装置は複数の記憶素子部100が複数のブロック200a、200bに区分され、その各ブロック200a、200bの記憶素子部100に対して共通の共用ビット線300が接続され、そのビット線300から各記憶素子部100のデータが読み出される。又、ブロック200a、200b間を結ぶ共用ビット線300上にはバッファ回路400が接続されている。制御回路500は前記バッファ回路400の入力端子側のブロック200aがアドレス信号に基づいて選択されたとき、該バッファ回路400を導通状態にし、前記バッファ回路400の出力端子側のブロック200bがアドレス信号に基づいて選択されたとき、該バッファ回路400を遮断状態にするための制御信号Cを該バッファ回路400に出力する。

【0020】請求項2に記載の発明において、半導体記憶装置は複数の記憶素子部が複数のブロックに区分され、その各ブロック内の複数の記憶素子部はさらに複数の小ブロックに区分されている。半導体記憶装置はその各ブロック毎にそのブロックを構成する全小ブロックの記憶素子部を共通の共用ビット線で接続し、そのビット線から各記憶素子部のデータを読み出す。さらに、半導体記憶装置は、小ブロック間を結ぶ共用ビット線上に少なくとも1つバッファ回路を設けるとともに、前記バッファ回路の入力端子側の小ブロックがアドレス信号に基づいて選択されたとき、該バッファ回路を導通状態にし、前記バッファ回路の出力端子側の小ブロックがアドレス信号に基づいて選択されたとき、該バッファ回路を

遮断状態にする制御信号を該バッファ回路に出力する制御回路を備えた。

【0021】請求項3に記載の発明において、請求項1又は2に記載の半導体記憶装置は、前記共用ビット線を書き込み及び読み出し用の一対の相補ビット線とし、その一対の相補ビット線間に前記記憶素子部を並列に接続した。

【0022】請求項4に記載の発明において、請求項1又は2に記載の半導体記憶装置は、前記制御回路をアドレス信号に基づいて前記バッファ回路を導通又は遮断のための制御信号を生成するコントロール信号生成回路とした。

（作用）請求項1に記載の発明によれば、前記バッファ回路400の入力端子側のブロック200aがアドレス信号に基づいて選択されたとき、制御回路500は該バッファ回路400を導通状態にするための制御信号Cを該バッファ回路400に出力する。従って、選択されたブロック200aの記憶素子部100のデータは、ブロック200aとブロック200bとの間のバッファ回路400で増幅される。その結果、選択されたブロック200aの記憶素子部100は、他方のブロック200bと共用するために共用ビット線300の配線長が長くなり負荷が大きくなってでもバッファ回路400にてその負荷は解消される。

【0023】又、前記バッファ回路400の出力端子側のブロック200bがアドレス信号に基づいて選択されたとき、制御回路500は該バッファ回路400を遮断状態にするための制御信号Cを該バッファ回路400に出力する。従って、共用ビット線300はブロック200aとブロック200bとの間で遮断される。その結果、選択されたブロック200bの記憶素子部100は、他方のブロック200aと共用するために共用ビット線300の配線長が長くなり負荷が大きくなってでもバッファ回路400にてその負荷は解消される。

【0024】請求項2に記載の発明によれば、前記バッファ回路の入力端子側の小ブロックがアドレス信号に基づいて選択されたとき、制御回路は該バッファ回路を導通状態にするための制御信号を該バッファ回路に出力する。従って、選択された小ブロックの記憶素子部のデータは、小ブロックと小ブロックとの間のバッファ回路で増幅される。その結果、選択された小ブロックの記憶素子部は他方の小ブロックと共用するために共用ビット線の配線長が長くなり負荷が大きくなってでも、バッファ回路にてその負荷は解消される。

【0025】又、前記バッファ回路の出力端子側の小ブロックがアドレス信号に基づいて選択されたとき、制御回路は該バッファ回路を遮断状態にするための制御信号を該バッファ回路に出力する。従って、共用ビット線は小ブロックと小ブロックとの間で遮断される。その結果、選択された小ブロックの記憶素子部は他方の小ブ

ックと共用するために共用ビット線の配線長が長くなり、
 負荷が大きくなっても、バッファ回路にてその負荷は解
 消される。

【0026】請求項3に記載の発明によれば、前記共用
 ビット線が書き込み及び読み出し用の一対の相補ビット
 線であるので、該1対の相補ビット線を介して各記憶素
 子部へのデータの書き込み及び各記憶素子部からのデー
 タの読み出しが行われる。

【0027】請求項4に記載の発明によれば、前記制御
 回路がアドレス信号に基づいて制御信号を生成するコン
 トロール信号生成回路である。即ち、特別な信号を使用
 しないでアドレス信号という通常の信号を使用してコン
 トロール信号を生成するため、コントロール信号を生成
 するために該特別な信号を生成する回路を新たに設ける
 必要がない。

【0028】

【発明の実施の形態】

(第1の実施の形態) 以下、本発明を具体化した第1の
 実施の形態について説明する。本実施の形態は、前記従
 来例で示したRAM1の4倍の記憶容量を持つ256ワ
 ードのレジスタファイル型のRAMに具体化した。

【0029】図2はその256ワードのレジスタファ
 イル型のRAM11の全体構成を説明するためのブロック
 回路を示す。RAM11は、入力バッファ回路12、4
 個の記憶ブロック部(以下、第1～第4ブロックとい
 う)13a～13d、アドレス入力回路14及びブロッ
 ク選択回路15等から構成されている。このRAM11
 と従来の技術で説明したRAM1との大きく相違する点
 は、記憶容量が4倍になり、そのために本実施の形態の
 第1～第4ブロック13a～13dがそれぞれ備える記
 憶素子部が64個で構成され従来の第1～第4ブロック
 3a～3dの4倍である点が相違する。そして、本実施
 の形態では、64個の記憶素子部を備えた第1～第4ブ
 ロック13a～13dは、共に同じ回路構成であるので
 説明の便宜上、第1のブロック13aの回路構成を説明
 し他のブロック13b～13dの説明は省略する。

【0030】図3は、第1のブロック13aとその周辺
 の入力バッファ回路12、アドレス入力回路14及びブ
 ロック選択回路15を説明する電気回路を示す。第1の
 ブロック13aは、64個の記憶素子部M1～M64から
 構成されている。従って、各ブロック13a～13d
 の記憶素子部と合計すると256(=64×4)個の記
 憶素子部となる。そして、この64個の記憶素子部M1
 ～M64は、16個を1組とする4つの第1～第4小ブ
 ロック13a1～13a4に区分されている。従って、第1
 小ブロック13a1は記憶素子部M1～M16、第2小ブ
 ロック13a2は記憶素子部M17～M32、第3小ブロッ
 ク13a3は記憶素子部M33～M48、第4小ブロッ
 ク13a4は記憶素子部M49～M64から構成される。
 そして、各小ブロック13a1～13a4毎に設けられた1

6個の記憶素子部はそれぞれ互いに並列に接続されてい
 る。

【0031】各記憶素子部M1～M64は、2個のイン
 パータよりなるラッチ回路RA、書込用転送ゲートG
 1、読み出し用転送ゲートG2、セル用転送ゲートG3
 及びインパータよりなるバッファBから構成されてい
 る。ラッチ回路RAはその入力端子には書込用転送ゲ
 ートG1が接続され、出力端子にはバッファBを介して読
 み出し用転送ゲートG2に接続されている。又、セル用
 転送ゲートG3はラッチ回路RAの一方のインパータの
 出力端子と書込用転送ゲートG1との間に接続されてい
 る。

【0032】そして、第1小ブロック13a1に設けられ
 た16個の記憶素子部M1～M16の書込用転送ゲート
 G1の入力端子はそれぞれ互いに並列に接続されてい
 る。同様に、他の第2～第4小ブロック13a2～13a4
 毎に設けられた16個の記憶素子部M17～M64の書
 込用転送ゲートG1の入力端子は、それぞれブロック毎
 に互いに並列に接続されている。そして、各小ブロッ
 ク13a2～13a4はそれぞれビット線Wba1～Wba4を介
 して入力バッファ回路12に接続され該入力バッファ回
 路12から書込データDAが入力される。

【0033】図3は該入力バッファ回路12の一部、即
 ち第1ブロック13aに対応する回路が示されている。
 図3において、入力バッファ回路12は、インパータよ
 りなる第1バッファ12aとインパータよりなる4個の
 第2バッファ12bとから構成されている。第1バッ
 ファ12aは書込データDAを入力しその出力信号を4個
 の各第2バッファ12bに出力する。そして、各第2バ
 ッファ12bはその出力信号をそれぞれビット線Wba1
 ～Wba4を介して対応する第1～第4小ブロック13a1
 ～13a4に出力する。つまり、入力バッファ回路12は
 第1及び第2バッファ12a、12bにより駆動能力を
 上げて前記書込データDAを第1ブロック13aの各小
 ブロック13a1～13a4に出力している。尚、図示しな
 いが、入力バッファ回路12は、同様な回路構成で他の
 ブロック13b～13dに書込データDAを出力してい
 る。

【0034】そして、入力バッファ回路12から出力さ
 れる1つの書込データDAは、合計256個となる各ブ
 ロック13a～13dの記憶素子部M1～M64の中の
 1つの記憶素子部が選択され書き込まれる。この選択は
 8ビットのアドレス信号AD0～AD7に基づいて25
 6個の記憶素子部M1～M64のうちの1つが選択され
 その選択された記憶素子部の書込用転送ゲートG1が開
 きラッチ回路RAに書込データDAが保持されるようにな
 っている。

【0035】一方、第1ブロック13aにおける各小ブ
 ロック13a1～13a4の全記憶素子部M1～M64の読
 み出し用転送ゲートG2の出力端子は、1本の読み出し

用ビット線（以下、共用ビット線という）BLaに接続されている。そして、本実施の形態では、共用ビット線BLaは、第1小ブロック13a1、第2小ブロック13a2、第3小ブロック13a3、第4小ブロック13a4を経てブロック選択回路15に接続されている。つまり、本実施の形態では、第1ブロック13aにある64個の記憶素子部M1～M64は共用ビット線BLaを共有して保持したデータDAをブロック選択回路15に出力する。

【0036】各小ブロック13a1～13a4からなる第1ブロック13aにおいて、そのブロック13a内の64個の全記憶素子部M1～M64の中から1つのデータDAを読み出す場合、8ビットのアドレス信号AD0～AD7の内の下位6ビットAD0～AD5によって選択される。詳述すると、下位6ビットAD0～AD5内の上位2ビットAD4、AD5によって、第1～第4小ブロック13a1～13a4のうち1つが選択される。下位6ビットAD0～AD5の内の下位4ビットAD0～AD3によって、第1～第4小ブロック13a1～13a4毎に1つの記憶素子部が選択される。そして、選択された小ブロックであって、その選択された小ブロックに属する16個の記憶素子部の中で選択された記憶素子部の読み出し用転送ゲートG2のみが開き共用ビット線BLaと接続される。その選択された小ブロックの選択された記憶素子部に書き込まれたデータDAは共用ビット線BLaを介してブロック選択回路15に出力される。

【0037】各小ブロック13a1～13a4間の前記ビット線BLa上には、それぞれ第1～第3バッファ回路21～23が接続されている。詳述すると、第1小ブロック13a1と第2小ブロック13a2とを結ぶ共用ビット線BLa間には第1バッファ回路21が接続され、第2小ブロック13a2と第3小ブロック13a3とを結ぶ共用ビット線BLa間には第2バッファ回路22が接続されている。さらに、第3小ブロック13a3と第4小ブロック13a4とを結ぶ共用ビット線BLa間には第3バッファ回路23が接続されている。第1～第3バッファ回路21～23は同一の回路構成である。

【0038】図4はその第1バッファ回路21の構成を示す。尚、第1バッファ回路21を説明することで、第2及び第3バッファ回路22、23の説明は省略する。第1バッファ回路21は、3個の第1～第3PチャンネルMOSトランジスタ（以下PMOSトランジスタという）Tp1～Tp3、3個の第1～第3NチャンネルMOSトランジスタ（以下NMOSトランジスタという）Tn1～Tn3、転送ゲートG4及びインバータ回路24とから構成されている。

【0039】第1PMOS及び第1NMOSトランジスタTp1、Tn1はそのゲートが互いに接続され、第1小ブロック13a1側の共用ビット線BLaに接続されている。第1PMOSトランジスタTp1はそのソースが

電源Vccに接続されている。又、第1PMOSトランジスタTp1はドレインが第3PMOSトランジスタTp3のゲートに接続されているとともに、第2PMOSトランジスタTp2のドレインに接続されている。第1NMOSトランジスタTn1はそのソースがグランドGNDに接続されている。又、第1NMOSトランジスタTn1はドレインが第3NMOSトランジスタTn3のゲートに接続されているとともに、第2NMOSトランジスタTn2のドレインに接続されている。

【0040】第2PMOS及び第2NMOSトランジスタTp2、Tn2はそのドレイン間に転送ゲートG4に接続されている。第2PMOSトランジスタTp2はそのソースが電源Vccに接続されている。又、第2PMOSトランジスタTp2はそのゲートに第1コントロール信号C1が入力される。第2NMOSトランジスタTn2はそのソースがグランドGNDに接続されている。又、第2NMOSトランジスタTn2はそのゲートにインバータ24を介して第1コントロール信号C1が入力される。

【0041】転送ゲートG4は、PMOS及びNMOSトランジスタとで構成され、そのNMOSトランジスタのゲートには第1コントロール信号C1が入力され、PMOSトランジスタのゲートにはインバータ24を介して第1コントロール信号C1が入力される。

【0042】第3PMOS及び第3NMOSトランジスタTp3、Tn3はそのドレインが互いに接続され、第2小ブロック13a2側の共用ビット線BLaに接続されている。第3PMOSトランジスタTp3はそのソースが電源Vccに接続されている。第3NMOSトランジスタTn3はそのソースがグランドGNDに接続されている。

【0043】そして、第1コントロール信号C1が論理値「1」（高電位であるHレベル）のとき、第2PMOS及び第2NMOSトランジスタTp2、Tn2は共にオフ状態になる。一方、転送ゲートG4は導通状態となる。従って、第1PMOS及び第1NMOSトランジスタTp1、Tn1と第3PMOS及び第3NMOSトランジスタTp3、Tn3は、それぞれCMOSインバータ回路を構成する。その結果、第1バッファ回路21は、第1小ブロック13a1側の共用ビット線BLaから出力されるデータDAを第2小ブロック13a2側の共用ビット線BLaに出力することが可能となる。

【0044】一方、第1コントロール信号C1が論理値「0」（低電位であるLレベル）のとき、第2PMOS及び第2NMOSトランジスタTp2、Tn2は共にオン状態になる。一方、転送ゲートG4は非導通状態となる。従って、第1PMOS及び第1NMOSトランジスタTp1、Tn1と第3PMOS及び第3NMOSトランジスタTp3、Tn3はオフ状態になる。即ち、第1バッファ回路21は、ハイインピーダンス状態となつ

て、第1小ブロック13a1と第2小ブロック13a2とを遮断する。尚、第2及び第3バッファ回路22、23も同様にそれぞれブロック間の共用ビット線BLaを導通又は遮断する。

【0045】ちなみに、下位6ビットアドレス信号AD0～AD5によって第1小ブロック13a1の中の1つの記憶素子部が選択されたときには、第1～第3コントロール信号C1～C3は共に「1」となり、第1～第3バッファ回路21～23は導通状態となる。従って、第1小ブロック13a1の各記憶素子部のバッファBは、ブロック選択回路15まで最も長く負荷が大きくても共用ビット線BLa上に3個のバッファ回路21～23が動作状態であるので、大きな駆動能力を必要とせずサイズの小さいトランジスタで構成することができる。

【0046】又、第2小ブロック13a2の中の1つの記憶素子部が選択されたときには、第1コントロール信号C1が「0」となり、第2、第3コントロール信号C2、C3が「1」となる。その結果、第1バッファ回路21は遮断状態となり、第2、第3バッファ回路22、23は導通状態となる。従って、第2小ブロック13a2の各記憶素子部のバッファBは、ブロック選択回路15まで比較的長く負荷が比較的大きくても共用ビット線BLa上に2個のバッファ回路22、23が動作状態であり、しかも、第1バッファ回路21が遮断状態にあって第1小ブロック13a1に対する負荷がなくなるので、大きな駆動能力を必要とせずサイズの小さいトランジスタで構成することができる。

【0047】さらに、第3小ブロック13a3の中の1つの記憶素子部が選択されたときには、第3コントロール信号C3が「1」となり、第1、第2コントロール信号C1、C2が「0」となる。その結果、第1及び第2バッファ回路21、22は遮断状態となり、第3バッファ回路23は導通状態となる。従って、第3小ブロック13a3の各記憶素子部のバッファBは、ブロック選択回路15まで負荷が大きくても共用ビット線BLa上に第3バッファ回路23が動作状態であり、しかも、第1及び第2バッファ回路21、22が遮断状態にあって第1及び第2小ブロック13a1、13a2に対する負荷がなくなるので、大きな駆動能力を必要とせずサイズの小さいトランジスタで構成することができる。

【0048】さらに又、第4小ブロック13a4の中の1つの記憶素子部が選択されたときには、第1～第3コントロール信号C1～C3は共に「0」となり、第1～第3バッファ回路21～23は遮断状態となる。従って、第4小ブロック13a4の各記憶素子部のバッファBは、第1～第3バッファ回路21～23が遮断状態にあって第1～第3小ブロック13a1～13a3に対する負荷がなくなるので、大きな駆動能力を必要とせずサイズの小さいトランジスタで構成することができる。

【0049】第1～第3コントロール信号C1～C3

は、制御回路としてのコントロール信号生成回路25によって生成される。図5はそのコントロール信号生成回路（以下、信号生成回路という）25の電気回路を示す。信号生成回路25は5個のナンド回路25a～25eと3個のインバータ回路25f～25hとから構成されている。ナンド回路25aは2入力端子であって、インバータ25fを介して下位6ビット目のアドレス信号AD5を入力するとともに、インバータ25gを介して下位5ビット目のアドレス信号AD4を入力する。そして、ナンド回路25aの出力は、次段のナンド回路25d、25eに出力されるとともに、インバータ回路25hを介して第1コントロール信号C1として出力される。

【0050】ナンド回路25bは2入力端子であって、インバータ25fを介してアドレス信号AD5を入力するとともに、アドレス信号AD4を入力する。そして、ナンド回路25bの出力は、次段のナンド回路25d、25eに出力される。

【0051】ナンド回路25cは2入力端子であって、アドレス信号AD5を入力するとともに、インバータ25gを介してアドレス信号AD4を入力する。そして、ナンド回路25cの出力は、次段のナンド回路25eに出力される。

【0052】ナンド回路25dは2入力端子であって、前段のナンド回路25a、25bの出力信号を入力し、その2つの信号に基づいて第2コントロール信号C2を出力する。ナンド回路25eは3入力端子であって、前段のナンド回路25a～25cの出力信号を入力し、その3つの信号に基づいて第3コントロール信号C3を出力する。

【0053】そして、アドレス信号AD4、AD5が「0、0」のとき、第1～第3コントロール信号C1～C3が全て「1」となり、第1～第3バッファ回路21～23は全て導通状態となる。ちなみに、アドレス信号AD4、AD5が「0、0」のときは、第1小ブロック13a1が選択されたことを意味している。

【0054】又、アドレス信号AD4、AD5が「1、0」のとき、第1コントロール信号C1が「0」、第2、第3コントロール信号C2、C3が「1」となり、第2、第3バッファ回路22、23が導通状態となる。ちなみに、アドレス信号AD4、AD5が「1、0」のときは、第2小ブロック13a2が選択されたことを意味している。

【0055】さらに、アドレス信号AD4、AD5が「0、1」のとき、第1、第2コントロール信号C1、C2が「0」、第3コントロール信号C3が「1」となり、第3バッファ回路23のみが導通状態となる。ちなみに、アドレス信号AD4、AD5が「0、1」のときは、第3小ブロック13a3が選択されたことを意味している。

【0056】さらに又、アドレス信号AD4、AD5が「1, 1」のとき、第1から第3コントロール信号C1～C3が全て「0」となり、全てのバッファ回路21～23が遮断状態となる。ちなみに、アドレス信号AD4、AD5が「1, 1」のときは、第4小ブロック13a4が選択されたことを意味している。

【0057】そして、第1～第3コントロール信号C1～C3に基づいて第1ブロック13aから読み出されたデータDAはブロック選択回路15に出力される。又、第1ブロック13aと同様な回路構成で形成した第2～第4ブロック13b～13dから読み出されるデータDAもそれぞれ共用ビット線BLb～BLdを介してブロック選択回路15に出力される。

【0058】ブロック選択回路15はアドレス入力回路14からの選択信号CNT1～CNT4を生成する。本実施の形態では、ブロック選択回路15は前記従来の技術で説明したブロック選択回路5と同じ回路であってその詳細な説明は省略する。そして、ブロック選択回路15は、選択信号CNT1～CNT4に基づいて第1～第4ブロック13a～13dの各データDAから1つを選択して出力信号Doutとして出力する。アドレス入力回路14は8ビットのアドレス信号AD0～AD7のうち上位2ビットのアドレス信号AD6、AD7に基づいて選択信号CNT1～CNT4を生成する。本実施の形態ではアドレス入力回路14は前記従来の技術で説明したアドレス入力回路14と同じ回路であってその詳細な説明は省略する。

【0059】次に、上記のように構成したRAM10の特徴を以下に記載する。

(1) 本実施の形態では、第1ブロック13aの64個の記憶素子部M1～M64からデータDAを読み出すビット線を1本の共用ビット線BLaで行うとともに、第1ブロック13aの各小ブロック13a1～13a4の間にそれぞれバッファ回路21～23を設けた。そして、選択される小ブロックの記憶素子部に応じて該記憶素子部のバッファBからみた負荷が小さくなるようにバッファ回路21～23を導通状態又は遮断状態にした。

【0060】従って、各記憶素子部のバッファBの駆動能力は、RAM11が大容量化しても小さくてもよい。しかも、各小ブロック13a1～13a4の間に3個のバッファ回路21～23を設けるだけで、各バッファBのサイズは小さいままでよい。従って、大容量化に伴って各記憶素子部のバッファBのサイズを大型化する必要がないので、チップサイズの大型化を抑制することができる。

【0061】(2) 本実施の形態では、前記したように各記憶素子部のバッファBからみた負荷が小さいこと、及び、共用ビット線BLa上にバッファ回路21～23を設けたので、大容量化してもアクセス時間の短縮化を図ることができる。

【0062】(3) 本実施の形態では、信号生成回路25がアドレス信号AD4、AD5を使用して第1～第3コントロール信号C1～C3を生成した。つまり、特別な信号で第1～第3コントロール信号C1～C3を生成していないので、特別な信号を作るための新たな回路を設けることなく信号C1～C3を生成することができる。

(第2の実施の形態) 次に、本発明を具体化した第2の実施の形態を図6、図7に従って説明する。本実施の形態は前記第1の実施の形態の256ワードのレジスタファイル型のRAMの配線構成に特徴があるため、説明の便宜上第1の実施の形態と同様な構成は符号を同じにしてその説明は省略する。

【0063】第1ブロック13aの64個の記憶素子部M1～M64の各読み出し用転送ゲートG2に対して共用ビット線BLaが接続されている。又、共用ビット線BLaは第2小ブロック13a2と第3小ブロック13a3間のノードZからブロック選択回路15に接続されている。

【0064】第1小ブロック13a1と第2小ブロック13a2間の共用ビット線BLaには、入力端子を第1小ブロック13a1側に出力端子を第2小ブロック13a2側に接続された第1バッファ回路31が接続されている。又、第2小ブロック13a2とノードZ間の共用ビット線BLaには、入力端子を第2小ブロック13a2側に出力端子をノードZ側に接続された第2バッファ回路32が接続されている。

【0065】さらに、ノードZと第3小ブロック13a3間の共用ビット線BLaには、入力端子を第3小ブロック13a3側に出力端子をノードZ側に接続された第3バッファ回路33が接続されている。又、第3小ブロック13a3と第4小ブロック13a4間の共用ビット線BLaには、入力端子を第4小ブロック13a4側に出力端子を第3小ブロック13a3側に接続された第4バッファ回路34が接続されている。第1～第4バッファ回路31～34は、その回路構成が第1の実施の形態で説明した第1～第3バッファ回路21～23と同一の回路構成であるため、その詳細な説明は省略する。そして、本実施の形態では、第1小ブロック13a1が選択された時には、第1及び第2バッファ回路31、32が導通状態に、第3及び第4バッファ回路33、34が遮断状態に制御される。従って、第1小ブロック13a1中の選択された記憶素子部のデータDAは第1、第2バッファ回路31、32及びノードZを介してブロック選択回路15に出力される。その結果、第1小ブロック13a1の各記憶素子部のバッファBは、ブロック選択回路15までの負荷が小さくなり、しかも第1及び第2バッファ回路31、32が動作状態にあるので、大きな駆動能力を必要とせずサイズの小さいトランジスタにて構成することができる。

【0066】又、第2小ブロック13a2が選択された時には、第2バッファ回路32が導通状態に、第1、第3及び第4バッファ回路31、33、34が遮断状態に制御される。従って、第2小ブロック13a2中の選択された記憶素子部のデータDAは第2バッファ回路32及びノードZを介してブロック選択回路15に出力される。その結果、第2小ブロック13a2の各記憶素子部のバッファBは、ブロック選択回路15までの負荷が小さくなり、しかも第2バッファ回路32が動作状態にあるので、大きな駆動能力を必要とせずサイズの小さいトランジスタにて構成することができる。

【0067】さらに、第3小ブロック13a3が選択された時には、第3バッファ回路33が導通状態に、第1、第2及び第4バッファ回路31、32、34が遮断状態に制御される。従って、第3小ブロック13a3中の選択された記憶素子部のデータDAは第3バッファ回路33及びノードZを介してブロック選択回路15に出力される。その結果、第3小ブロック13a3の各記憶素子部のバッファBは、ブロック選択回路15までの負荷が小さくなり、しかも第3バッファ回路33が動作状態にあるので、大きな駆動能力を必要とせずサイズの小さいトランジスタにて構成することができる。

【0068】さらに又、第4小ブロック13a4が選択された時には、第1及び第2バッファ回路31、32が遮断状態に、第3及び第4バッファ回路33、34が導通状態に制御される。従って、第4小ブロック13a4中の選択された記憶素子部のデータDAは第4、第4バッファ回路34、33及びノードZを介してブロック選択回路15に出力される。その結果、第4小ブロック13a4の各記憶素子部のバッファBは、ブロック選択回路15までの負荷が小さくなり、しかも第3及び第4バッファ回路33、34が動作状態にあるので、大きな駆動能力を必要とせずサイズの小さいトランジスタにて構成することができる。

【0069】第1～第4バッファ回路31～34は制御回路としてのコントロール信号生成回路（以下、信号生成回路という）36からの対応する第1～第4コントロール信号C1～C4に基づいて導通・遮断制御される。図7は、その信号生成回路36の電気回路を示す。図7において、信号生成回路36は、6個のナンド回路36a～36fと4個のインバータ回路36g～36jとから構成されている。

【0070】ナンド回路36aは2入力端子であって、インバータ36gを介して下位6ビット目のアドレス信号AD5を入力するとともに、インバータ36hを介して下位5ビット目のアドレス信号AD4を入力する。そして、ナンド回路36aの出力は、次段のナンド回路36eに出力されるとともに、インバータ回路36iを介して第1コントロール信号C1として出力される。ナンド回路36bは2入力端子であって、インバータ36g

を介してアドレス信号AD5を入力するとともに、アドレス信号AD4を入力する。そして、ナンド回路36bの出力は、次段のナンド回路36eに出力される。ナンド回路36cは2入力端子であって、アドレス信号AD5を入力するとともに、インバータ36hを介してアドレス信号AD4を入力する。そして、ナンド回路36cの出力は、次段のナンド回路36fに出力される。ナンド回路36dは2入力端子であって、アドレス信号AD5及びアドレス信号AD4を入力する。そして、ナンド回路36dの出力は、次段のナンド回路36fに出力されるとともに、インバータ回路36jを介して第4コントロール信号C4として出力される。

【0071】ナンド回路36eは2入力端子であって、前段のナンド回路36a、36bの出力信号を入力し、その2つの信号に基づいて第2コントロール信号C2を出力する。ナンド回路26fは2入力端子であって、前段のナンド回路36c、36dの出力信号を入力し、その2つの信号に基づいて第3コントロール信号C3を出力する。

【0072】そして、アドレス信号AD4、AD5が「0、0」のとき、第1及び第2コントロール信号C1、C2が「1」、第3及び第4コントロール信号C3、C4が「0」となり、第1及び第2バッファ回路31、32のみが導通状態となる。ちなみに、アドレス信号AD4、AD5が「0、0」のときは、第1小ブロック13a1が選択されたことを意味している。

【0073】又、アドレス信号AD4、AD5が「1、0」のとき、第2コントロール信号C2が「1」、第1、第3及び第4コントロール信号C1、C2、C4が「0」となり、第2バッファ回路32のみが導通状態となる。ちなみに、アドレス信号AD4、AD5が「1、0」のときは、第2小ブロック13a2が選択されたことを意味している。

【0074】さらに、アドレス信号AD4、AD5が「0、1」のとき、第3コントロール信号C3が「1」、第1、第2及び第4コントロール信号C1、C2、C4が「0」となり、第3バッファ回路33のみが導通状態となる。ちなみに、アドレス信号AD4、AD5が「0、1」のときは、第3小ブロック13a3が選択されたことを意味している。

【0075】さらに又、アドレス信号AD4、AD5が「1、1」のとき、第3及び第4コントロール信号C3、C4が「1」、第1及び第2コントロール信号C1、C2が「0」となり、第3及び第4バッファ回路33、34のみが導通状態となる。ちなみに、アドレス信号AD4、AD5が「1、1」のときは、第4小ブロック13a4が選択されたことを意味している。

【0076】次に、上記のように構成したRAM11の特徴を以下に記載する。

(1) 本実施の形態では、第1ブロック13aの64個

の記憶素子部M1～M64からデータDAを読み出すビット線を1本の共用ビット線BLaで行うとともに、各小ブロック13a1～13a4間にそれぞれ第1～第4バッファ回路31～34を設けた。そして、選択される記憶素子部に応じて該記憶素子部のバッファBからみた負荷が小さくなるように第1～第4バッファ回路31～34を導通状態又は遮断状態にした。

【0077】従って、各記憶素子部のバッファBの駆動能力は、RAM11が大容量化しても小さくてもよい。しかも、第1～第4バッファ回路31～34を設けるだけで、各バッファBのサイズは小さいままでよい。従って、大容量化に伴って各記憶素子部のバッファBのサイズを大型化する必要がないので、チップサイズの大型化を抑制することができる。

【0078】(2) 本実施の形態では、前記したように各バッファBからみた負荷が小さいこと、及び、共用ビット線BLa上に第1～第4バッファ回路31～34を設けたので、大容量化してもアクセス時間の短縮化を図ることができる。

【0079】(3) 本実施の形態では、信号生成回路36がアドレス信号AD4、AD5を使用して第1～第4コントロール信号C1～C4を生成した。つまり、特別な信号で第1～第4コントロール信号C1～C4を生成していないので、特別な信号を作るための新たな回路を設けることなく信号C1～C4を生成することができる。

(第3の実施の形態) 次に、本発明を具体化した第3の実施の形態について図8～図10に従って説明する。本実施の形態は、256個の記憶素子部を有し、書込及び読み出しのビット線を共用した相補ビット線対BL、バーBLを有した読み出し及び書き替え可能な半導体記憶装置(以下、RAMという)40である。

【0080】図8は256個の記憶素子部を4つの第1～第4ブロックに区分したうちの第1ブロック13aの電気回路を示す。尚、他の第2～第4ブロックの回路構成は、同じなので第1ブロック13aを説明することでその詳細な説明を省略する。

【0081】図8において、一対の相補ビット線BL、バーBLの入力端側にはライトアンプ41が接続され、出力端側にはセンスアンプ42が接続されている。一対の相補ビット線BL、バーBL間には、64個の記憶素子部M1～M64が並列に接続されている。64個の記憶素子部M1～M64は4つの第1～第4小ブロック13a1～13a4に区分されている。ライトアンプ41に近い側の16個の記憶素子部M1～M16を第1小ブロック13a1とし、該第1小ブロック13a1に近い側の16個の記憶素子部M17～M32を第2小ブロック13a2としている。又、該第2小ブロック13a2に近い側の16個の記憶素子部M33～M48を第3小ブロック13a3とし、該第3小ブロック13a3に近い側(即ち、セン

スアンプ42に近い側)の16個の記憶素子部M49～M64を第4小ブロック13a4としている。

【0082】第1小ブロック13a1の各記憶素子部M1～M16は、2個のインバータよりなるラッチ回路RA、該ラッチ回路RAとビット線BLとの間に接続されたNMOSトランジスタよりなる第1ゲートトランジスタG11、該ラッチ回路RAとビット線バーBLとの間に接続されたNMOSトランジスタよりなる第2ゲートトランジスタG12とから構成されている。尚、各小ブロック13a1～13a4の回路構成は同一なので、説明の便宜上第1小ブロック13a1を説明することで他の小ブロックの説明は省略する。

【0083】そして、各小ブロック13a1～13a4からなる第1ブロック13aにおいて、ライトアンプ41から相補ビット線BL、バーBLを介して出力されるデータDAは、各小ブロック13a1～13a4の全記憶素子部M1～M64の中の1つの記憶素子部が選択され書き込まれる。この選択は8ビットのアドレス信号AD0～AD7のうちの下位6ビットAD0～AD5のアドレス信号に基づいて64個の記憶素子部M1～M64のうちの1つが選択されその選択された記憶素子部の第1及び第2ゲートトランジスタG11、G12が開きラッチ回路RAに書込データDAが保持されるようになっている。詳述すると、下位6ビットAD0～AD5の内の下位4ビットAD0～AD3によって、第1～第4小ブロック13a1～13a4毎に1つの記憶素子部が選択され、下位6ビットAD0～AD5の内の上位2ビットAD4、AD5によって、第1～第4小ブロック13a1～13a4のうち1つが選択される。

【0084】一方、第1ブロック13aにおいて、そのブロック13a内の64個の全記憶素子部M1～M64の中から1つのデータDAを読み出す場合、8ビットのアドレス信号AD0～AD7のうちの下位6ビットAD0～AD5によって選択される。この選択は8ビットのアドレス信号AD0～AD7のうちの下位6ビットAD0～AD5のアドレス信号に基づいて64個の記憶素子部M1～M64のうちの1つが選択されその選択された記憶素子部の第1及び第2ゲートトランジスタG11、G12が開きそのラッチ回路RAの内容、即ち書込データDAが相補ビット線BL、バーBLを介してセンスアンプ42に出力されるようになっている。詳述すると、下位6ビットAD0～AD5の内の下位4ビットAD0～AD3によって、第1～第4小ブロック13a1～13a4毎に1つの記憶素子部が選択され、下位6ビットAD0～AD5の内の上位2ビットAD4、AD5によって、第1～第4小ブロック13a1～13a4のうち1つが選択される。

【0085】各小ブロック13a1～13a4の間の相補ビット線BL、バーBL上には、3個の第1～第3バッファ回路43～45が接続されている。詳述すると、第1

10

20

30

40

50

小ブロック 1 3 a1 と第 2 小ブロック 1 3 a2 とを結ぶ相補ビット線 B L, パー B L 間には第 1 バッファ回路 4 3 が接続され、第 2 小ブロック 1 3 a2 と第 3 小ブロック 1 3 a3 とを結ぶ相補ビット線 B L, パー B L 間には第 2 バッファ回路 4 4 が接続されている。さらに、第 3 小ブロック 1 3 a3 と第 4 小ブロック 1 3 a4 とを結ぶ相補ビット線 B L, パー B L 間には第 3 バッファ回路 4 5 が接続されている。第 1 ～第 3 バッファ回路 4 3 ～4 5 は同一の回路構成である。

【0086】図 9 はその第 1 バッファ回路 4 3 の構成を示す。尚、第 1 バッファ回路 4 3 を説明することで、第 2 及び第 3 バッファ回路 4 4, 4 5 の説明は省略する。第 1 バッファ回路 4 3 は、第 1 及び第 2 バッファ部 4 3 a, 4 3 b とアンプ部 4 3 c とから構成されている。第 1 バッファ部 4 3 a はその入力端子が第 1 小ブロック 1 3 a1 側のビット線 B L に接続され、その出力端子が第 2 小ブロック 1 3 a2 側のビット線 B L に接続されている。第 2 バッファ部 4 3 b はその入力端子が第 1 小ブロック 1 3 a1 側のビット線バー B L に接続され、その出力端子が第 2 小ブロック 1 3 a2 側のビット線 A パー B L に接続されている。尚、第 1 及び第 2 バッファ部 4 3 a, 4 3 b は、前記第 1 の実施の形態で説明した第 1 バッファ回路 2 1 とそれぞれ同一の回路構成なので、符号を同じにしてその詳細は省略する。そして、第 1 及び第 2 バッファ部 4 3 a, 4 3 b は共に第 1 コントロール信号 C 1 を入力し、該信号 C 1 の状態に基づいて導通又は遮断状態になる。

【0087】即ち、第 1 コントロール信号 C 1 が論理値「1」のとき、第 1 及び第 2 バッファ部 4 3 a, 4 3 b は、第 1 小ブロック 1 3 a1 側のビット線 B L, パー B L から出力されるデータ D A を第 2 小ブロック 1 3 a2 側のビット線 B L, パー B L に出力する。一方、第 1 コントロール信号 C 1 が論理値「0」のとき、第 1 及び第 2 バッファ部 4 3 a, 4 3 b は、ハイインピーダンス状態となって、第 1 小ブロック 1 3 a1 と第 2 小ブロック 1 3 a2 側とを遮断する。尚、第 2 及び第 3 バッファ回路 4 4, 4 5 の各バッファ部も同様に対応する第 2 及び第 3 コントロール信号 C 2, C 3 によって、同様にそれぞれブロック間の相補ビット線 B L, パー B L を導通又は遮断する。

【0088】アンプ部 4 3 c は、2 個のインバータよりなるラッチ回路 R A a、該ラッチ回路 R A a とビット線 B L との間に接続された N M O S トランジスタよりなる第 1 ゲートトランジスタ G 1 3、該ラッチ回路 R A a とビット線バー B L との間に接続された N M O S トランジスタよりなる第 2 ゲートトランジスタ G 1 4 とから構成されている。そして、第 1 及び第 2 ゲートトランジスタ G 1 3, G 1 4 に論理値「1」の第 1 活性化信号 N K 1 が入力されているとき、該ゲートトランジスタ G 1 3, G 1 4 が開きアンプ部 4 3 c は活性化される。つま

り、アンプ部 4 3 c は、活性化されると、相補ビット線 B L, パー B L に出力される相補信号である書込データ D A、又は、読み出しデータ D A を増幅して各第 1 及び第 2 バッファ部 4 3 a, 4 3 b に出力する。尚、第 2 及び第 3 バッファ回路 4 3, 4 4 の各アンプ部も同様に第 2 及び第 3 活性化信号 N K 2, N K 3 によって、同様に活性化されデータ D A を増幅する。

【0089】ちなみに、データ読み出しであって下位 6 ビットアドレス信号 A D 0 ～A D 5 によって第 1 小ブロック 1 3 a1 中の 1 つの記憶素子部が選択されたときには、第 1 ～第 3 コントロール信号 C 1 ～C 3 及び第 1 ～第 3 活性化信号 N K 1 ～N K 3 は共に「1」となり、第 1 ～第 3 バッファ回路 4 3 ～4 5 は導通状態となる。従って、第 1 小ブロック 1 3 a1 の各記憶素子部 M 1 ～M 1 6 は、センスアンプ 4 2 までのビット線 B L, パー B L の配線長が最も長くなり負荷が大きくなる。しかし、相補ビット線 B L, パー B L 上に 3 個の第 1 ～第 3 バッファ回路 4 3 ～4 5 が導通状態であるので、各記憶素子部 M 1 ～M 1 6 は、実質小さな負荷となり大きな駆動能力を必要とせずサイズの小さいトランジスタで構成することができる。

【0090】又、第 2 小ブロック 1 3 a2 中の 1 つの記憶素子部が選択されたときには、第 1 コントロール信号 C 1 及び第 1 活性化信号 N K 1 が「0」となり、第 2、第 3 コントロール信号 C 2, C 3 及び第 2、第 3 活性化信号 N K 2, N K 3 が「1」となる。その結果、第 1 バッファ回路 4 3 は遮断状態となり、第 2、第 3 バッファ回路 4 4, 4 5 は導通状態となる。従って、第 2 小ブロック 1 3 a2 の各記憶素子部 M 1 7 ～M 3 2 は、ビット線 B L, パー B L の配線長が長くて負荷が大きくなっても、相補ビット線 B L, パー B L 上に 2 個の第 2、第 3 バッファ回路 4 4, 4 5 が導通状態にあり、しかも、第 1 バッファ回路 4 3 が遮断状態にあるので、実質小さな負荷となる。その結果、各記憶素子部 M 1 7 ～M 3 2 は大きな駆動能力を必要とせずサイズの小さいトランジスタで構成することができる。

【0091】さらに、第 3 小ブロック 1 3 a3 中の 1 つの記憶素子部が選択されたときには、第 3 コントロール信号 C 3 及び第 3 活性化信号 N K 3 が「1」となり、第 1、第 2 コントロール信号 C 1, C 2 及び第 1、第 2 活性化信号 N K 1, N K 2 が「0」となる。その結果、第 1 及び第 2 バッファ回路 4 3, 4 4 は遮断状態となり、第 3 バッファ回路 4 5 は導通状態となる。従って、第 3 小ブロック 1 3 a3 の各記憶素子部 M 3 3 ～M 4 8 は、ビット線 B L, パー B L の配線長が長くて負荷が比較的に大きくても、相補ビット線 B L, パー B L 上に第 3 バッファ回路 4 5 が導通状態にあり、しかも、第 1 及び第 2 バッファ回路 4 3, 4 4 が遮断状態にあるので、実質小さな負荷となる。その結果、各記憶素子部 M 3 3 ～M 4 8 は大きな駆動能力を必要とせずサイズの小さいトラン

ジスタで構成することができる。

【0092】さらに又、第4小ブロック13a4の中の1つの記憶素子部が選択されたときには、第1～第3コントロール信号C1～C3及び第1～第3活性化信号NK1～NK3は共に「0」となり、第1～第3バッファ回路43～45は遮断状態となる。従って、第4小ブロック13a4の各記憶素子部M49～M64は、ビット線BL、バーBLの配線長が長くて負荷が大きくても、相補ビット線BL、バーBL上に第1～第3バッファ回路43～45が遮断状態にあるので、実質小さな負荷となる。その結果、各記憶素子部M49～M64は大きな駆動能力を必要とせずサイズの小さいトランジスタで構成することができる。

【0093】第1～第3コントロール信号C1～C3は、制御回路としてのコントロール信号生成回路46によって生成される。図10はそのコントロール信号生成回路（以下、信号生成回路という）46の電気回路を示す。信号生成回路46は6個のナンド回路46a～46fと2個のインバータ回路46g、46hとから構成されている。ナンド回路46aは2入力端子であって、インバータ46gを介して下位6ビット目のアドレス信号AD5を入力するとともに、インバータ46hを介して下位5ビット目のアドレス信号AD4を入力する。そして、ナンド回路46aの出力は、次段のナンド回路46d、46e、46fに出力される。

【0094】ナンド回路46bは2入力端子であって、インバータ46gを介してアドレス信号AD5を入力するとともに、アドレス信号AD4を入力する。そして、ナンド回路46bの出力は、次段のナンド回路46e、46fに出力される。

【0095】ナンド回路46cは2入力端子であって、アドレス信号AD5を入力するとともに、インバータ46hを介してアドレス信号AD4を入力する。そして、ナンド回路46cの出力は、次段のナンド回路46fに出力される。

【0096】ナンド回路46dは2入力端子であって、前段のナンド回路46aの出力信号と図示しない入力装置からのライトイネーブル信号WEを入力し、その2つの信号に基づいて第1コントロール信号C1を出力する。ナンド回路46eは3入力端子であって、前段のナンド回路46a、46bの出力信号とライトイネーブル信号WEを入力し、その3つの信号に基づいて第2コントロール信号C2を出力する。ナンド回路46fは4入力端子であって、前段のナンド回路46a～46cの出力信号とライトイネーブル信号WEを入力し、その4つの信号に基づいて第3コントロール信号C3を出力する。

【0097】尚、ライトイネーブル信号WEは書込データDAをライトアンプ41を介して選択された記憶素子部に書き込むための制御信号である。ライトイネーブル

信号WEは、書き込みを行うときには論理値が「0」の信号となり、読み出しを行うときには「1」の信号となる。

【0098】そして、ライトイネーブル信号WEが「0」のとき、アドレス信号AD4、AD5がどんな値であろうと第1～第3コントロール信号C1～C3が全て「1」となり、第1～第3バッファ回路43～45は全て導通状態となる。

【0099】一方、ライトイネーブル信号WEが「1」であってアドレス信号AD4、AD5が「0、0」のとき、第1～第3コントロール信号C1～C3が全て「1」となり、第1～第3バッファ回路43～45は全て導通状態となる。ちなみに、アドレス信号AD4、AD5が「0、0」のときは、第1小ブロック13a1が選択されることを意味している。

【0100】又、ライトイネーブル信号WEが「1」であってアドレス信号AD4、AD5が「1、0」のとき、第1コントロール信号C1が「0」、第2、第3コントロール信号C2、C3が「1」となり、第2、第3バッファ回路44、45が導通状態となる。ちなみに、アドレス信号AD4、AD5が「1、0」のときは、第2小ブロック13a2が選択されることを意味している。

【0101】さらに、ライトイネーブル信号WEが「1」であってアドレス信号AD4、AD5が「0、1」のとき、第1、第2コントロール信号C1、C2が「0」、第3コントロール信号C3が「1」となり、第3バッファ回路45のみが導通状態となる。ちなみに、アドレス信号AD4、AD5が「0、1」のときは、第3小ブロック13a3が選択されることを意味している。

【0102】さらに又、ライトイネーブル信号WEが「1」であってアドレス信号AD4、AD5が「1、1」のとき、第1～第3コントロール信号C1～C3が全て「0」となり、全てのバッファ回路43～45が遮断状態となる。ちなみに、アドレス信号AD4、AD5が「1、1」のときは、第4小ブロック13a4が選択されることを意味している。

【0103】前記第1～第3活性化信号NK1～NK3は、活性化信号生成回路47にて生成される。図8に示すように、3個のナンド回路47a～47cとから構成されている。

【0104】ナンド回路47aは2入力端子であって、前記第1コントロール信号C1を入力するとともに、外部信号CKを入力する。そして、ナンド回路47aは、その2つの信号C1、CKに基づいて第1活性化信号NK1を第1バッファ回路43に出力する。ナンド回路47bは2入力端子であって、前記第2コントロール信号C2を入力するとともに、外部信号CKを入力する。そして、ナンド回路47bは、その2つの信号C2、CKに基づいて第2活性化信号NK2を第2バッファ回路44に出力する。ナンド回路47cは2入力端子であって

て、前記第 3 コントロール信号 C 3 を入力するとともに、外部信号 CK を入力する。そして、アンド回路 47c は、その 2 つの信号 C 3, CK に基づいて第 3 活性化信号 NK 3 を第 3 バッファ回路 45 に出力する。尚、外部信号 CK は図示しない外部装置からの制御信号であって、書き込み及び読み出しのときに論理値「1」の信号となり、書き込み又は読み出し以外のとき論理値「0」の信号となる。

【0105】従って、第 1 活性化信号 NK 1 は第 1 コントロール信号 C 1 と、第 2 活性化信号 NK 2 は第 2 コントロール信号 C 2 と、第 3 活性化信号 NK 3 は第 3 コントロール信号 C 3 とそれぞれ同一の論理値の信号を出力することになる。その結果、第 1 ～第 3 コントロール信号 C 1 ～C 3 に基づいて活性化される第 1 ～第 3 バッファ回路 43 ～45 に対しては論理値「1」の第 1 ～第 3 活性化信号 NK 1 ～NK 3 が出力される。

【0106】そして、第 1 ～第 3 コントロール信号 C 1 ～C 3 及び第 1 ～第 3 活性化信号 NK 1 ～NK 3 に基づいて第 1 ブロック 13a から読み出されたデータ DA はセンスアンプ 42 に出力される。又、第 1 ブロック 13a と同様な回路構成で形成した第 2 ～第 4 ブロックから読み出されるデータ DA もそれぞれ対応するセンスアンプに同様に出力される。

【0107】次に、上記のように構成した RAM 40 の特徴を以下に記載する。

(1) 本実施の形態では、第 1 ブロック 13a の 64 個の記憶素子部 M1 ～M64 からデータ DA を読み出すビット線を相補ビット線 BL, バー BL で行うとともに、第 1 ブロック 13a の各小ブロック 13a1 ～13a4 間にそれぞれバッファ回路 43 ～45 を設けた。そして、選択される小ブロックの記憶素子部に応じて該記憶素子部からみた負荷が小さくなるようにバッファ回路 43 ～45 を導通状態又は遮断状態にした。

【0108】従って、各記憶素子部の駆動能力は、RAM 40 が大容量化しても小さくてもよい。その結果、各小ブロック 13a1 ～13a4 の間に 3 個のバッファ回路 43 ～45 を設けるだけで、各記憶素子部を構成する各トランジスタのサイズは小さいままでよい。しかも、大容量化に伴って各記憶素子部を構成する各トランジスタのサイズを大型化する必要がないので、チップサイズの大型化を抑制することができる。

【0109】(2) 本実施の形態では、ライトアンプ 41 から第 1 ブロック 13a の 64 個の記憶素子部 M1 ～M64 にデータ DA を書き込むビット線を相補ビット線 BL, バー BL で行うとともに、第 1 ブロック 13a の各小ブロック 13a1 ～13a4 の間にそれぞれバッファ回路 43 ～45 を設けた。そして、書き込みの際、全てのバッファ回路 43 ～45 を導通状態にした。従って、ライトアンプ 41 の駆動能力は、RAM 40 が大容量化しても小さくてもよくなり、ライトアンプ 41 を構成する

各トランジスタのサイズは小さなままでよい。その結果、RAM 40 のチップサイズの大型化を抑制することができる。

【0110】(3) 本実施の形態では、前記したように各記憶素子部からみた負荷が小さいこと、及び、相補ビット線 BL, バー BL 上にバッファ回路 43 ～45 を設けたので、大容量化してもアクセス時間の短縮化を図ることができる。

【0111】(4) 本実施の形態では、信号生成回路 46 がアドレス信号 AD 4, AD 5 を使用して第 1 ～第 3 コントロール信号 C 1 ～C 3 を生成した。つまり、特別な信号で第 1 ～第 3 コントロール信号 C 1 ～C 3 を生成していないので、特別な信号を作るための新たな回路を設けることなく信号 C 1 ～C 3 を生成することができる。

【0112】尚、本発明は、上記実施の形態に限定されるものではなく以下のように実施してもよい。

(1) 本実施の形態では、半導体記憶装置は読み出し及び書き替え可能な半導体記憶装置としたが、読み出し専用の半導体記憶装置に実施してもよい。

【0113】(2) 本実施の形態では、半導体記憶装置は 256 ワードの半導体記憶装置として、ブロック内の記憶素子部の数は 16 個としたが、これらの数は適宜数としてもよく、それらに対応してバッファ回路の数も適宜変更してもよい。

【0114】(3) 前記第 3 の実施の形態において、活性化信号生成回路 47 にて第 1 ～第 3 活性化信号 NK 1 ～NK 3 を生成したが、信号生成回路 46 が生成した第 1 ～第 3 コントロール信号 C 1 ～C 3 をそのまま第 1 ～第 3 活性化信号 NK 1 ～NK 3 として使用して実施してもよい。

【0115】

【発明の効果】請求項 1 ～4 に記載の発明によれば、大容量化しても IC チップのチップ面積を大きくすることなく、しかも、読み出し動作時のアクセス時間の短縮化を図ることができる優れた効果を有する。

【図面の簡単な説明】

【図 1】本発明の原理説明図。

【図 2】第 1 の実施の形態を示すブロック図。

【図 3】第 1 の実施の形態におけるブロック内を示す回路図。

【図 4】バッファ回路の具体的構成を示す回路図。

【図 5】コントロール信号生成回路の具体的構成を示す回路図。

【図 6】第 2 の実施の形態を示す回路図。

【図 7】コントロール信号生成回路の具体的構成を示す回路図。

【図 8】第 3 の実施の形態を示す回路図。

【図 9】バッファ回路の具体的構成を示す回路図。

【図 10】コントロール信号生成入力回路の具体的構成

を示す回路図。

【図 1 1】従来例を示す回路図。

【図 1 2】アドレス入力回路の具体的構成を示す回路図。

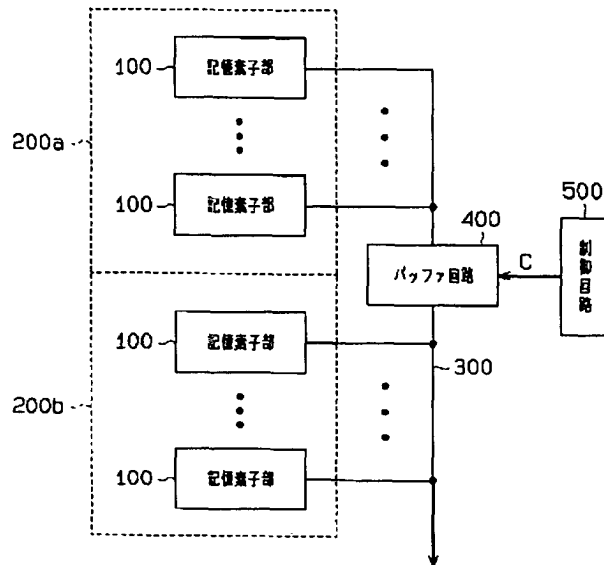
【図 1 3】ブロック選択回路の具体的構成を示す回路図。

【符号の説明】

100	記憶素子部
200a, 200b	ブロック
300	共用ビット線
400	バッファ回路
500	制御回路

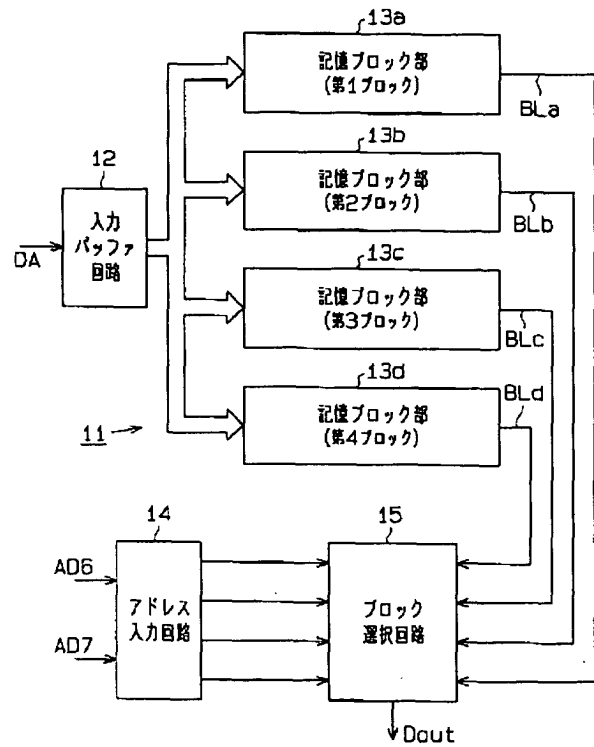
【図 1】

本発明の原理説明図

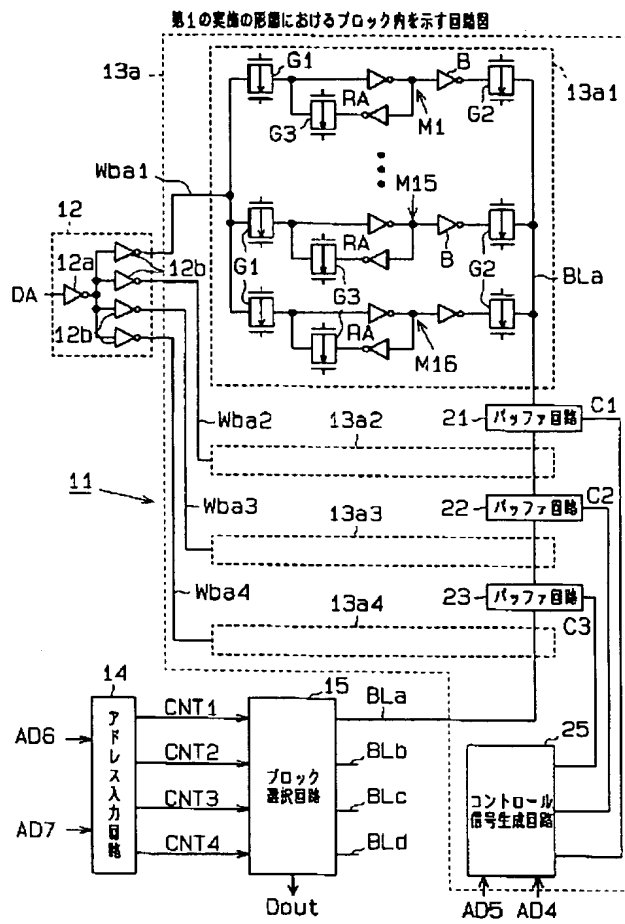


【図 2】

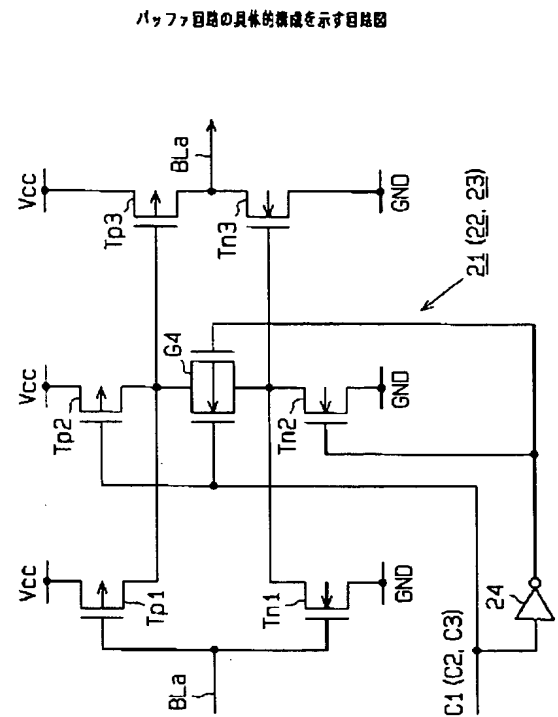
第1の実施の形態を示すブロック図



【図3】

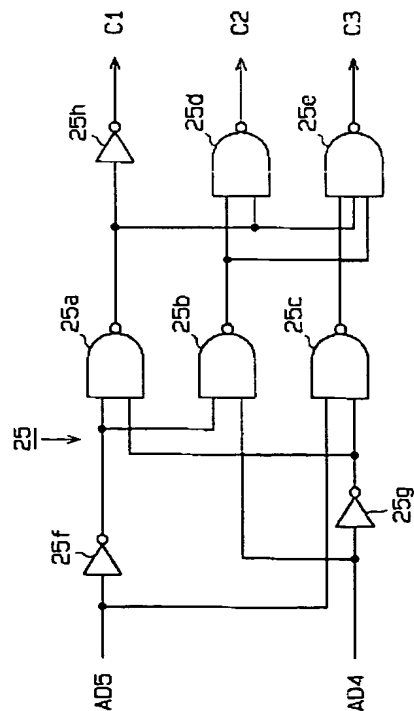


【図4】

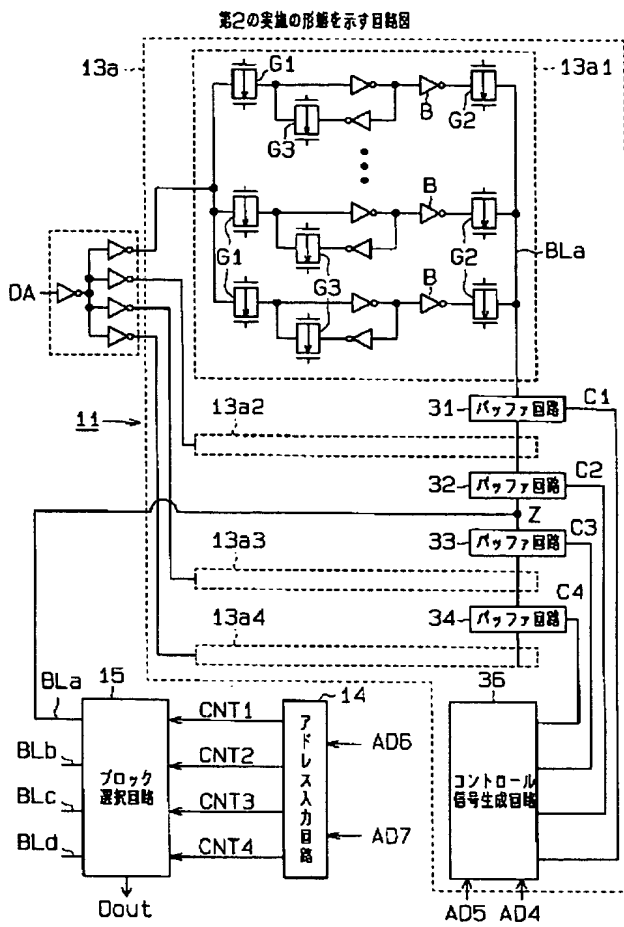


【図5】

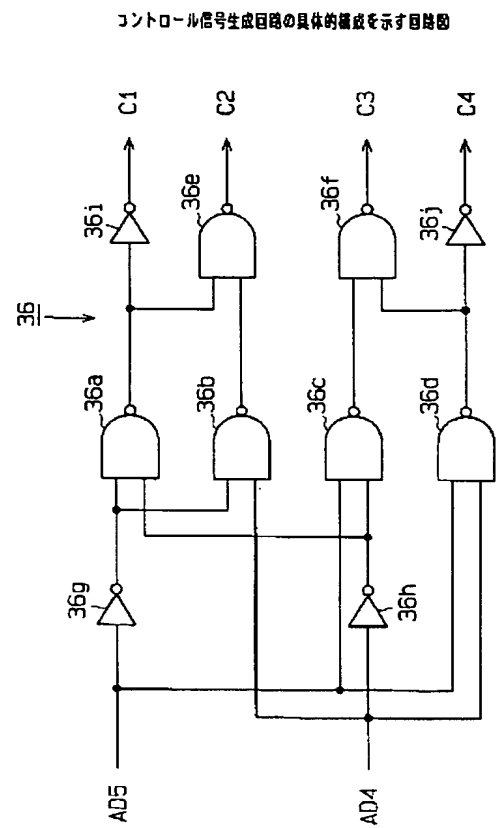
コントロール信号生成回路の具体的な構成を示す回路図



【図 6】

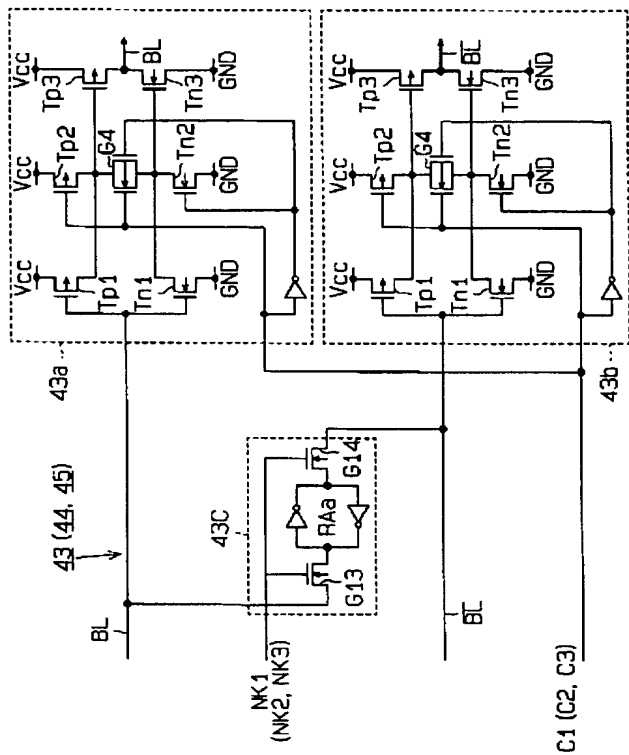


【図 7】



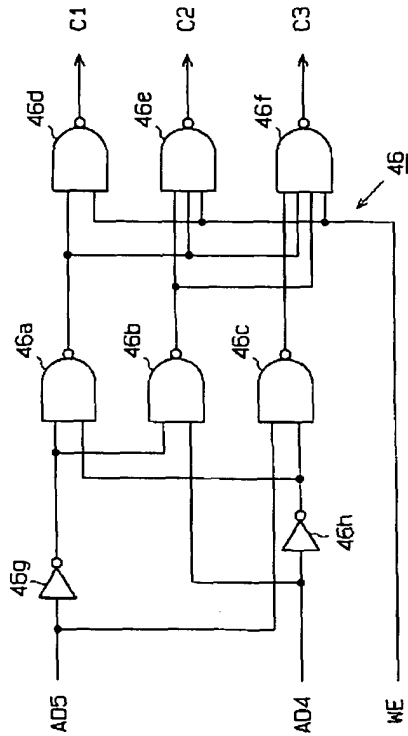
【図 9】

バッファ回路の具体的構成を示す回路図



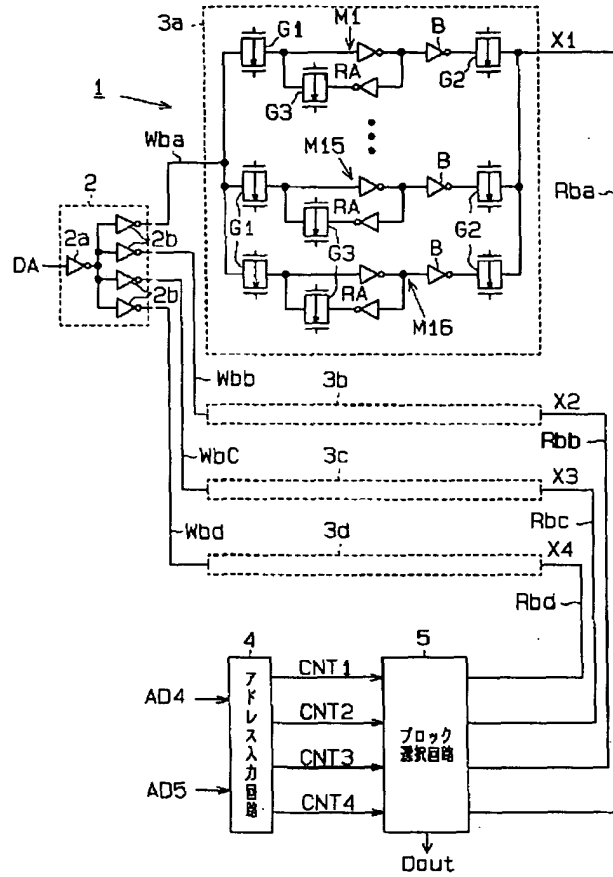
【図10】

コントロール信号生成回路の具体的構成を示す回路図



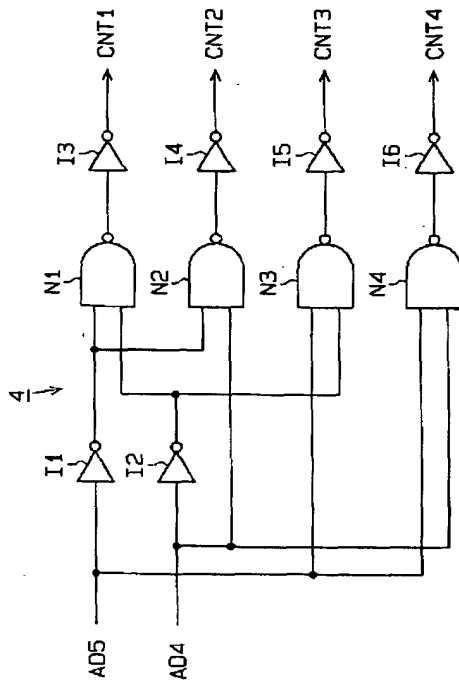
【図11】

従来例を示す回路図



【図12】

アドレス入力回路の具体的な構成を示す回路図



【図13】

ブロック選択回路の具体的な構成を示す回路図

